

PUB-NO: JP407066202A
 DOCUMENT-IDENTIFIER: JP 07066202 A
 TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
 PUBN-DATE: March 10, 1995
 INVENTOR-INFORMATION:
 NAME
 NISHIMURA, HIROSHI
 YAMANAKA, MICHINARI
 SHINOHARA, SHOHEI
 INT-CL (IPC): H01 L 21/3205; H01 L 21/3065; H01 L 21/3213
 ABSTRACT:
 PURPOSE: To provide a method of manufacturing a semiconductor device, in which a high-density interconnection structure is formed without causing an increase in electrical resistance of via holes or degrading reliability.
 CONSTITUTION: A method of manufacturing a semiconductor device comprises the steps of opening via holes 3 in an insulating film 2 on a silicon substrate 1, depositing first aluminum film 5 to fill the via holes 3, depositing tungsten-base conductor film 6 over the insulating film 2 and the first aluminum film 5, depositing second aluminum film 7 over the tungsten-base conductor film 6, forming a resist pattern 8 on the second aluminum film 7, removing the second aluminum pattern 7 selectively by dry etching with chlorine-base gas, and removing the tungsten-base conductor film 6 selectively by dry etching with fluorine-base gas.
 DERWENT-ACC-NO: 1995-142651
 DERWENT-WEEK: 199519
 COPYRIGHT 1999 DERWENT INFORMATION LTD
 TITLE: Semiconductor device mfr. - involves removing tungsten film at selective target by dry etching using fluorine gas system
 INVENTOR-NAME:
 PRIORITY-DATA: 1993JP-0212663 (August 27, 1993)
 PATENT-FAMILY:
 PUB-NO JP 07066202 A PUB-DATE March 10, 1995 LANGUAGE N/A PAGES 005 MAIN-IPC H01L 21/22

INT-CL (IPC): H01L 21/3065; H01L 21/3205; H01L 21/3213
 ABSTRACTED-PUB-NO: JP07066202A
 BASIC-ABSTRACT: The manufacturing method forms a connection hole (3) on an insulation film (2). This insulation film is formed over a silicon substrate (1). Then, a connection hole is embedded with an aluminium film (5). Then, over this insulation film and the first aluminium film, a tungsten film (6) is formed. Then, over this tungsten film, a second aluminium film (7) is formed. Then, a resist pattern (8) is formed over the second aluminium film. Then, by dry etching using chlorine gas system, the second aluminium film at selective target is removed. Finally, by a dry etching using fluorine gas system, the tungsten film is removed at the selective target.

ADVANTAGE - Forms high density wiring structure without raising wiring resistance. Inhibits fall of reliability of wiring in connection hole.

ANSWER 9 OF 23 CA COPYRIGHT 1999 ACS
 AN 122:129512 CA
 TI Manufacture of semiconductor device with contact hole
 IN Nishimura, Hiroshi; Yamanaka, Michinari; Shinohara, Shouhei
 PA Matsushita Electric Ind Co Ltd, Japan
 SP Jpn. Kokai Tokkyo Koho, 5 pp.
 CODEN: JKXXAF
 DT Patent
 LA Japanese
 PAP.CNT 1
 PATENT NO. KIND DATE APPLICATION NO. DATE
 PI JP 07066202 A2 19950310 JP 1993-212663 19930827
 AB The title manuf. involves the following steps: (1) opening a contact-hole in an insulator film formed on a substrate; (2) filling the contact-hole with the 1st Al film; (3) successively forming a conductive film mainly of W, the 2nd Al film, and a resist pattern; (4) selectively dry-etching the 2nd Al film using a Cl-contg. gas; and (5) selectively dry-etching the conductive film mainly of W using a F-contg. gas. By utilizing the difference in the etching rate between their films, overetching of the 1st and 2nd Al films can be prevented.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-66202

(43)公開日 平成7年(1995)3月10日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/3205

21/3065

21/3213

H 01 L 21/ 88

R

21/ 302

J

審査請求 未請求 請求項の数1 OL (全5頁) 最終頁に続く

(21)出願番号 特願平5-212663

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成5年(1993)8月27日

西村 宏

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山中 通成

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 篠原 昭平

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

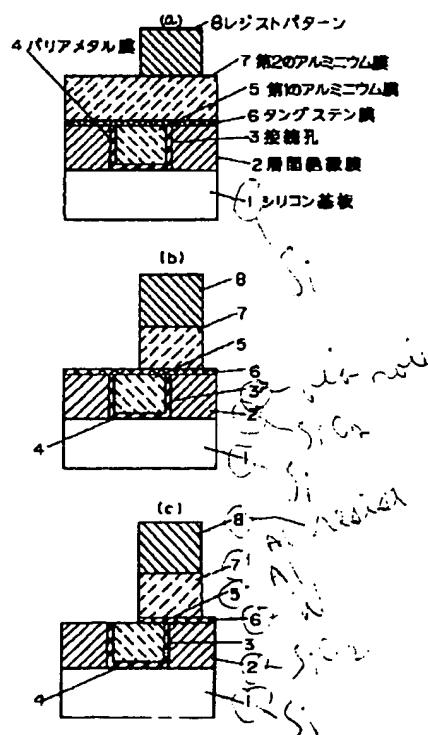
(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 接続孔における配線抵抗の増大や配線の信頼性の低下を招くことなく高密度の配線構造を形成することができる、半導体装置の製造方法を提供する。

【構成】 シリコン基板1上に設けられた絶縁膜2に接続孔3を設ける工程と、接続孔3に第1のアルミニウム膜5を埋め込む工程と、絶縁膜2および第1のアルミニウム膜5上にタングステンを主成分とする導電膜6を形成する工程と、タングステンを主成分とする導電膜6上に第2のアルミニウム膜7を形成する工程と、第2のアルミニウム膜7上にレジストパターン8形成する工程と、塩素系ガスを用いたドライエッティングにより第2のアルミニウム膜7を選択的に除去する工程と、弗素系ガスを用いたドライエッティングによりタングステンを主成分とする導電膜6を選択的に除去する工程とを備えたものである。



【特許請求の範囲】

【請求項1】半導体基板上に設けられた絶縁膜に接続孔を設ける工程と、前記接続孔に第1のアルミニウム膜を埋め込む工程と、前記絶縁膜および前記第1のアルミニウム膜上にタンクステンを主成分とする導電膜を形成する工程と、前記タンクステンを主成分とする導電膜上に第2のアルミニウム膜を形成する工程と、前記第2のアルミニウム膜上にレジストパターン形成する工程と、塩素系ガスを用いたドライエッチングにより前記第2のアルミニウム膜を選択的に除去する工程と、弗素系ガスを用いたドライエッチングにより前記タンクステンを主成分とする導電膜を選択的に除去する工程とを備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、配線構造の半導体装置の製造方法に係わり、特に接続孔を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体集積回路の微細化につれて、高密度・高信頼性の配線プロセスを開発することが要求されている。接続孔を含む従来の配線構造の半導体装置の製造方法を図2(a)～(d)に示す。

【0003】まず、図2(a)に示すように、シリコン基板9上に接続孔11を有する層間絶縁膜10を形成した後、スパッタ法によりT1膜とT1N膜とからなる第1のパリアメタル膜12を形成し、次にCVD法により全面にタンクステン膜13を堆積し、接続孔11にタンクステン膜13を埋め込む。

【0004】次に、図2(b)に示すように、エッチバック法によりタンクステン膜13および第1のパリアメタル膜12を除去し、接続孔11にのみタンクステン膜13を残す。

【0005】さらに、図2(c)に示すように、T1膜とT1N膜とからなる第2のパリアメタル膜14および第2のアルミニウム膜15を堆積した後、レジストパターン16を形成する。

【0006】次に、図2(d)に示すように、レジストパターン16をマスクとして、塩素系ガスを用いたドライエッチング法によりアルミニウム膜15と第2のパリアメタル膜14を選択的に除去した後、レジストパターン16を除去し、配線パターンを形成する。

【0007】このようにタンクステン膜を接続孔に埋め込むことにより高信頼性の配線構造を形成することができる。一方、配線密度を高くするためには接続孔と配線パターンの重なりマージンをなくすことが望ましいが、その場合、マスク合わせの誤差やプロセスの変動により接続孔に対する配線パターンの位置がずれると、配線パターンのエッチングの際に下地の接続孔内のタンクステン膜も除去されるということが懸念される。しかし、塩

素系ガスを用いた場合、アルミニウム膜とタンクステン膜とのエッチレートの選択比は10以上であるので、アルミニウム膜のオーバーエッチによりタンクステン膜はほとんど除去されない。したがって、この技術を用いれば、高密度・高信頼性の配線構造を形成することが可能となる。

【0008】しかしながら、埋め込み材料であるタンクステン膜は、一般的に配線材料として使用されているアルミニウム膜よりも比抵抗が3倍程度高いので、配線抵抗による信号の遅延が問題となってくる。上記のような問題を解決する方法を図3(a)～(c)を用いて説明する。

【0009】まず、図3(a)に示すように、シリコン基板17上に層間絶縁膜18を全面に堆積した後、接続孔19を形成する。

【0010】次に、図3(b)に示すように、パリアメタル膜20を堆積した後、高温スパッタ法によりアルミニウム膜21を全面に形成して、接続孔19に埋め込み、レジストパターン22を形成する。

【0011】次に、図3(c)に示すように、塩素系ガスを用いたドライエッチングによりアルミニウム膜21を除去し、配線パターンを形成する(例えば、アイ・イー・イー・イー・ヴィー・エル・エス・アイ・マルチレベル・インターフェクション・コンファレンス(1991)

第170頁から第176頁(IEEE VLSI Multilevel Interconnection Conference (1991) pp.170-176))。

【0012】このような方法を用いれば、タンクステン膜よりも比抵抗が低いアルミニウム膜を埋め込み材料として用いるので、配線抵抗による信号遅延を低減することができる。

【0013】

【発明が解決しようとする課題】しかしながら上記のような構成では、図4に示すように、マスク合わせの誤差やプロセスの変動により接続孔19に対するアルミニウム膜21からなる配線パターンの位置がずれた場合、アルミニウム膜21をドライエッチングする際、接続孔内に埋め込まれたアルミニウム膜も除去されてしまう。そのため、接続孔における配線抵抗が増大したり、配線の信頼性が低下してしまうという問題があった。

【0014】本発明は上記の問題点に鑑み、接続孔における配線抵抗の増大や配線の信頼性の低下を招くことなく高密度の配線構造を形成することができる、半導体装置の製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明は上記問題点を解決するため、接続孔に第1のアルミニウム膜を埋め込んだ後、タンクステンを主成分とする導電膜を下地に有する、第2のアルミニウム膜を堆積する工程と、塩素系ガスを用いたドライエッチングにより第2のアルミニウム膜を選択的に除去する工程と、弗素系のガスを用いたド

ライエッチングによりタングステンを主成分とする導電膜を選択的に除去する工程とを備えた構成とする。

【0016】

【作用】本発明は上記した構成によって、タングステンを主成分とする導電膜を選択的に除去する場合、タングステンを主成分とする導電膜と第1のアルミニウム膜とのエッチングレート比が10以上であるので、弗素系ガスによりタングステンを主成分とする導電膜をドライエッチングしても接続孔内の第1のアルミニウム膜はほとんど除去されない。したがって、接続孔における配線抵抗の増大や配線の信頼性の低下を防止することが可能となる。

【0017】

【実施例】本発明の実施例を図面を参照しながら説明する。図1は、本発明の実施例における半導体装置の製造方法の工程断面図を示すものである。

【0018】まず、図1(a)に示すように、半導体素子を形成したシリコン基板1上に層間絶縁膜2を形成した後、接続孔3を開口する。次に、バリアメタル膜4を全面に形成した後、高温スバッタ法により第1のアルミニウム膜5を全面に堆積し、接続孔3にも埋め込むようする。なお、第1のアルミニウム膜5はCVD法により形成してもよい。さらに化学的・機械的研磨技術により第1のアルミニウム膜5およびバリアメタル膜4を除去し、接続孔内にのみ残した後、タングステン膜6および第2のアルミニウム膜7を全面に形成する。次に第2のアルミニウム膜7上にレジストパターン8を形成する。この場合、バリアメタル膜4はTIN膜とTIN膜とからなる。また、配線を高密度にするために、配線パターン形成のためのレジストパターン8と接続孔3との重なりマージンを0にしてあるので、図1(a)に示すように、マスク合わせの誤差やプロセスの変動により接続孔3に対するレジストパターン8の位置がずれることがある。

【0019】次に、図1(b)に示すように、レジストパターン8をマスクとして、塩素系ガスを用いたドライエッチングにより第2のアルミニウム膜7を除去する。塩素系ガスを用いた場合、アルミニウム膜とタングステン膜とのエッチングレートの比は10以上であるので、タングステン膜6はストッパーとして働き、ほとんどエッチングされることなく残る。

【0020】次に、図1(c)に示すように、レジストパターン8をマスクとして、弗素系ガスを用いたドライエッチにより、タングステン膜6を除去する。弗素系ガ

スを用いた場合、タングステン膜とアルミニウム膜とのエッチングレートの比は10以上、タングステン膜とバリアメタル膜とのエッチングレートの比は40以上であるので、第1のアルミニウム膜5およびバリアメタル膜4はほとんどエッチングされることなく接続孔内に残る。したがって、接続孔における配線抵抗の増大や配線の信頼性の低下を防止でき、かつ高密度な配線を形成することが可能となる。

【0021】なお、タングステン膜のかわりにTiW等のタングステンを主成分とする導電膜を用いても同様の効果が得られる。また、第2のアルミニウム膜とタングステン膜との間に、TIN膜、Ti膜等のバリアメタル膜を形成してもよい。また、本実施例においては、シリコン基板と金属膜との接続孔を用いて説明したが、金属膜と金属膜との接続孔についても同様の効果がある。また、アルミニウム膜は、Cu、Si、Sc等、他の元素を含んだアルミニウム膜を用いても同様の効果が得られる。

【0022】

【発明の効果】以上のように本発明は、タングステンを主成分とする導電膜と第1のアルミニウム膜とのエッチングレート比が大きいので、弗素系ガスによりタングステンを主成分とする導電膜をドライエッチングする際、接続孔内の第1のアルミニウム膜はほとんど除去されない。したがって、接続孔における配線抵抗の増大や信頼性の低下を防止でき、かつ高密度な配線を形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施例における半導体装置の製造方法の工程断面図

【図2】従来技術における半導体装置の製造方法の工程断面図

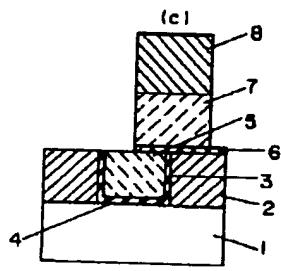
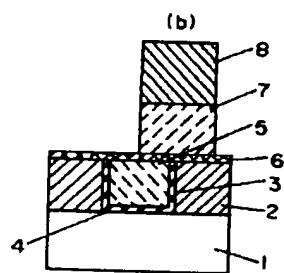
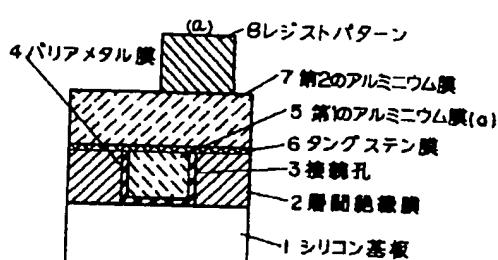
【図3】従来技術における半導体装置の製造方法の工程断面図

【図4】従来技術の問題点を示す半導体装置の断面図

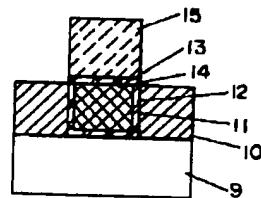
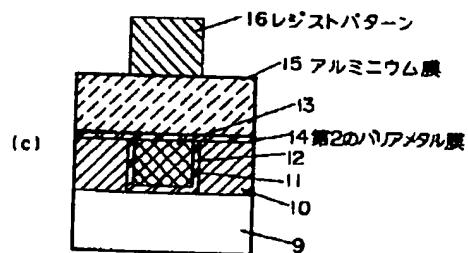
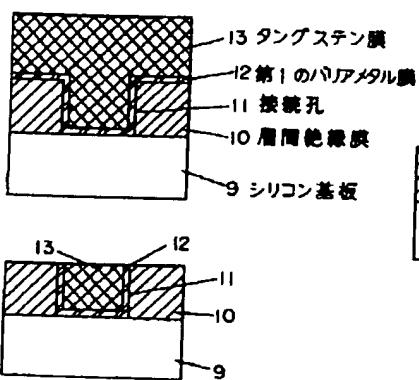
【符号の説明】

- 1 シリコン基板
- 2 層間絶縁膜
- 3 接続孔
- 4 バリアメタル膜
- 5 第1のアルミニウム膜
- 6 タングステン膜
- 7 第2のアルミニウム膜
- 8 レジストパターン

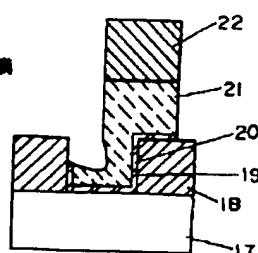
【図1】



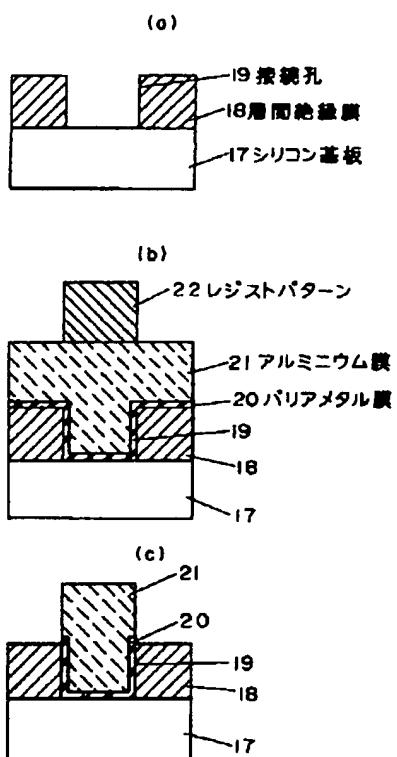
【図2】



【図4】



【図3】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/88

D